

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-121662

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04 21/82	H	8427-4M  9169-4M	H 0 1 L 21/ 82	F

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号 特願平3-279372

(22)出願日 平成3年(1991)10月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 山田 和美

東京都港区芝五丁目7番1号日本電気株式  
会社内

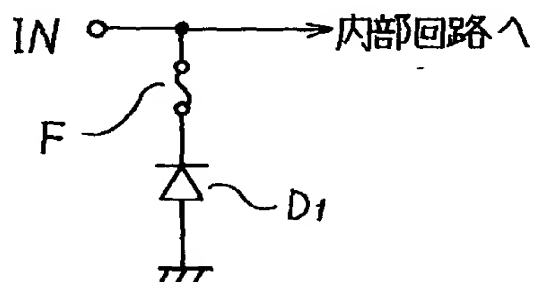
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】半導体集積回路の静電気による破壊は、半導体集積回路が単体として扱われている状況、即ち組立工程～選別工程～出荷／梱包～基板への実装迄が最も可能性が高い、本発明では当該工程内での静電気印加による破壊には有効に作用し、一方実動作中には回路から切離される静電保護回路の提供を目的とする。

【構成】静電保護ダイオードと被保護回路との間にヒューズ素子を挿入し、半導体集積回路実装後ヒューズ素子に直流大電流を加え、熔断させる。このように、保護回路を信号端子と分離する手段を有している。



## 【特許請求の範囲】

【請求項1】 信号端子と内部回路との間に、前記信号端子に印加される高電圧入力を接地端子または電源端子へ放電する保護回路を設けた半導体集積回路において、前記保護回路を前記信号端子から電気的に分離する手段を備えていることを特徴とする半導体集積回路。

【請求項2】 電気的に分離する手段は、信号端子と保護回路との間に挿入されたヒューズ素子である請求項1記載の半導体集積回路。

【請求項3】 電気的に分離する手段は、信号端子と接地端子との間に挿入されたエンハンスメント型MOSトランジスタである請求項1記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体集積回路に関し、特に保護回路付き半導体集積回路に関する。

## 【0002】

【従来の技術】半導体集積回路の信号入力端子または信号出力端子（以下信号端子という）に印加される静電気等による高電圧入力から内部回路を保護する保護回路は、半導体集積回路の集積度の向上に伴い一層その役割が重要となってきた。

【0003】図5に従来用いられる最も一般的な保護回路を示す。この保護回路では信号端子INより静電気等の高圧入力加わった場合、ダイオードD<sub>1</sub>またはD<sub>2</sub>の順方向通電または逆方向ブレイクダウンにより内部回路への高電圧、高電流流入を防止するものである。

【0004】信号端子INに正値高電圧が加った場合、電源V<sub>cc</sub>が通電中であればダイオードD<sub>2</sub>の順方向通電により前述の高電圧はIN→D<sub>2</sub>→V<sub>cc</sub>端子の経路にて放電され、内部回路への高電圧印加が免れる。

【0005】また電源V<sub>cc</sub>が非通電中では、一方のダイオードD<sub>1</sub>の逆方向ブレイクダウンにより印加高電圧を接地端子へ放電する。

【0006】更に信号端子INに負値高電圧が加った場合はダイオードD<sub>1</sub>の順方向通電またはダイオードD<sub>2</sub>の逆方向ブレイクダウンによる接地端子または電源V<sub>cc</sub>端子への放電により内部回路を保護する。

## 【0007】

【発明が解決しようとする課題】前述した従来の保護回路は、印加高電圧放電に伴う大電流（ときに数百ミリアンペアにも及ぶ）に耐えるように、各ダイオードの接合面積は数百平方ミクロン程度に設計されるが、半導体集積回路内の接合としては最も大面積を必要とする。

【0008】このため接合容量も数pFに達する場合がある。

【0009】一方、特に高周波信号を扱う場合や、信号パルスの急峻な立上り、立下りを必要とする高速論理回路の場合、信号端子に寄生する接合容量により、信号振幅の低下や、パルス立上り、立下り時間の増大が生ずる

という問題点がある。尚このような問題を軽減するため保護回路のダイオードを小面積化すると、十分な保護効果が得られない。

## 【0010】

【課題を解決するための手段】本発明は、信号端子と内部回路との間に、前記信号端子に印加される高電圧入力を接地端子または電源端子へ放電する保護回路を設けた半導体集積回路において、前記保護回路を前記信号端子から電気的に分離する手段を備えているというものである。

## 【0011】

【実施例】次に本発明について図面を参照して説明する。

【0012】図1は本発明の第1の実施例を示す回路図である。

【0013】信号端子INから内部回路へ経る信号線に電流熔断型のヒューズ素子Fを介してESD素子である大接合面積のダイオードD<sub>1</sub>を接続し、アイオードD<sub>1</sub>のアノードを接地端子に接続する。

【0014】通常、半導体集積回路を単体として扱う場合即ち、組立工程、選別工程等の製品検査中や回路基板に実装される迄の間が最も静電気等による破壊が生じ易く、回路基板に実装後は各信号端子が他の半導体集積回路や受動素子に接続され、インピーダンスが低下する一方、外部からの静電気そのものも侵入する機会は少ない。従って本実施例の半導体集積回路を実装後、信号端子INより大電流を数秒に渡り吸入（接地より信号端子方法へ電流を通電）することにより、ヒューズ素子Fを熔断させることにより信号端子IN及び被保護内部回路と静電気放電用のダイオードD<sub>1</sub>とを電気的に分離することができる。これにより実装後、実使用状態では大面積のダイオードD<sub>1</sub>が接続されていないため、信号端子INに於ける寄生容量は大幅に低減し、従って高周波信号の振幅低下や、高速パルス波形のなまりが防止できる。

【0015】一方、実装前では、静電気等の瞬間的な電流パルスではヒューズ素子は熔断しないから、ダイオードD<sub>1</sub>による効果的な静電保護機能は確保される。

【0016】図2は本発明の第2の実施例を示す回路図である。

【0017】ゲート・ソース間電圧が0Vでもチャネル形成がある所謂エンハンスメント型のP型MOSトランジスタMのソースを信号端子IN及び被保護内部回路間配線に接続し、ゲートは抵抗Rを介して設置すると共に高位電源線（V<sub>cc</sub>）へ接続する。またドレインは接地する。

【0018】このような保護回路を有する半導体集積回路が回路基板等を実装されず単体で取り扱われている環境では、電源V<sub>cc</sub>は抵抗Rにより接地されているからゲート電圧は0Vとなる。この時、MOSトランジスタM

は、エンハンスメント型であるため、信号端子IN及び被保護回路はMOSトランジスタMのオン抵抗 $r_{on}$ により接地される。

【0019】図3はP型MOSトランジスタの平面図である。P型シリコン基板に形成したNウェルにP型のソース領域Sを設ける。ソース領域Sの周囲のウェル表面にゲート酸化膜を介してゲート電極Gを設ける。ゲート電極G直下のチャネル領域を囲んでP型のドレイン領域を設ける。内部回路はN型MOSトランジスタで形成されるかあるいはCMOS構成とする。

【0020】本実施例の等価回路を図4(a)に示す。 $D_{sw}$ はMのソース・ウェル間ダイオード、 $D_w$ はウェル・P型シリコン基板間ダイオードである。図4(b)は電源電圧 $V_{cc}$ 印加前の状態を示す等価回路図である。

【0021】最も静電気印加を受け易い、単体状態の半導体集積回路(電源電圧 $V_{cc}$ が加わっていない状態)であっても、その信号端子INはオン抵抗 $r_{on}$ により接地へ放電されるため、内部回路は破壊を免れることができる。一方、半導体集積回路が回路基板等に実装され、電源端子に正值の電源電圧が加えられると、MOSトランジスタMのゲートは電源電圧値迄上昇し、従ってMOSトランジスタMはカッド・オフの状態となり、ソース・ドレイン間は高抵抗となる。この状態では、図4(c)の等価回路で示されるように、信号端子INは、MOSトランジスタMのソース・ウェル間ダイオード $D_{sw}$ のみにより電源 $V_{cc}$ へ接続される。ここで、MOSトランジスタMの形成を例えば図3に示すように、小面積のソース領域Sを持つものに設計することで、ダイオード $D_{sw}$ の面積は少なく押えられ、従って寄生容量も小さくすることができる。一方電源印加のない状態ではゲート電極G下のチャネル領域は広く、オン抵抗 $r_{on}$ を小さくできるため、当該状態での静電気保護機能は充分確保され

る。

【0022】

【発明の効果】以上説明したように本発明は、保護回路を信号端子から電気的に分離する手段を有しているもので、半導体集積回路が最も静電気障害を受け易い組立実装迄の間は、保護回路により内部回路を効果的に保護できる一方、実装後に保護回路を分離することにより、保護回路の寄生容量による高周波信号の減衰や、高速パルス波形のなまりを防止し、半導体集積回路の本来の高性能特性を発揮させることかできるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の回路図である。

【図2】本発明の第2の実施例を示す回路図である。

【図3】図2のMOSトランジスタMの形状例を示す平面図である。

【図4】本発明の第2の実施例に於ける寄生素子を含む回路図(図4(a))、電源印加前の等価回路図(図4(b))および電源印加後の等価回路図(図4(c))である。

20 【図5】従来の保護回路の一例を示す回路図である。

【符号の説明】

D ドレイン領域

$D_1$ ,  $D_2$  ダイオード

$D_{sw}$ ,  $D_w$  寄生ダイオード

F ヒューズ素子

G ゲート電極

IN 信号端子

M P型MOSトランジスタ

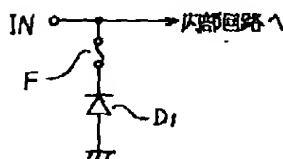
R 抵抗

30  $r_{on}$  P型MOSトランジスタのオン抵抗

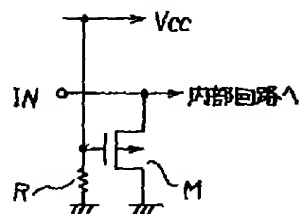
S ソース領域

$V_{cc}$  電源端子又は電源電圧

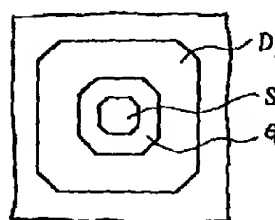
【図1】



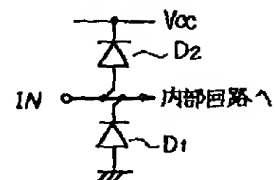
【図2】



【図3】



【図5】



【図4】

